



Семинар и мастер-класс «Технологии тестирования JTAG и тестопригодное проектирование» на выставке «ЭкспоЭлектроника 2011»

20–21 апреля 2011 в рамках выставки «ЭкспоЭлектроника» в Москве пройдет семинар и мастер-класс «Технологии тестирования JTAG и тестопригодное проектирование».

Семинар рассчитан на два дня, с 10:00 до 18:00 с перерывом на обед.
Семинар платный, стоимость участия составляет **8 000** руб.

Семинар и мастер-класс предназначены для руководителей отделов проектирования, руководителей линий монтажа контрактного производства, инженеров-разработчиков, технологов и техников, занимающихся разработкой, отладкой, тестированием, диагностикой отказов и ремонтом изделий электроники на уровне микросхем, плат, узлов и систем.

Тематика семинара

Первый день семинара будет полностью посвящен введению в технологии тестирования JTAG, внутрисхемное тестирование (ICT) и тестопригодное проектирование (DFT), а второй день — мастер-классу по введению в разработку JTAG тест-программ на базе системы JTAG-тестирования опТАР американской фирмы Flynn Systems и экспертному анализу тестопригодности проектов и схем.

От всех компаний и фирм, участвующих в семинаре и мастер-классе, принимается документация на печатные платы для DFT-экспертизы (принципиальная схема в формате PDF, список цепей (netlist) и перечень элементов), которую следует заранее выслать лектору, д-ру Ами Городецкому, по адресу amigo@JTAG-Test.ru до **01.04.2011** г. В течение второго дня семинара, по результатам предварительного ознакомления, лектор предложит анализ тестопригодности представленных ему схем с рекомендациями по увеличению уровня тестового покрытия схем и оптимальной стратегии их тестирования.

Программа семинара

1. Обзор состояния и тенденций развития технологий тестирования JTAG (IEEE 1149.1, IEEE 1149.4, IEEE 1149.6, IEEE 1149.7, IEEE 1149.8.1, IEEE 1532, IEEE 1500, IEEE P1581, IEEE P1687).
2. Структурное тестирование и тестопригодность электронных схем (проблемы тестирования современных плат, распределение и типы дефектов, цели и экономика тестирования, понятие тестопригодности).
3. Обзор автоматизированного тестового оборудования для структурного тестирования (внутрисхемные тестеры ICT, тестеры с «летающими» зондами Flying probe, автоматическая оптическая инспекция AOI, рентгеновские тестеры AXI, тестеры JTAG).

4. Архитектура цифрового стандарта граничного сканирования JTAG IEEE 1149.1 (контроллер TAP, регистры, ячейки, команды, файлы BSDL, структура формата SVF).
5. Структура JTAG-тестов (инфраструктура, межсвязи, резисторы, прозрачность, ЗУ, кластеры), внутрисхемное программирование ПЛИМ и FPGA, прожиг флэшей, время прожига.
6. Методы тестопригодного проектирования (структура JTAG-цепочек, буферизация, конфликты на шинах, разъемы, ЗУ DDR2 и DDR3, сложные кластеры, последовательные протоколы I²C и SPI, модули JEM_DIMM/SODIMM), примеры тестопригодных и нетестопригодных схем.
7. Архитектура аналогового стандарта граничного сканирования JTAG IEEE 1149.4 (контроллер TAP, регистры, ячейки, команды, блоки TBIC и ABM, команда PROBE, аналоговые измерения).
8. Архитектура стандарта граничного сканирования JTAG IEEE 1149.6 для дифференциальных цепей (тестирование цепей LVDS с гальваническими развязками, передатчики и детекторы, ячейки, файлы BSDL).
9. Новейший стандарт граничного сканирования JTAG IEEE 1149.7 (архитектура, топология «звезда», операционные классы, сокращенный набор контактов).
10. Введение в разработку тестовых JTAG-программ в системе onTAP фирмы Flynn Systems (аппаратное и программное обеспечение, разработка и отладка тестов, диагностика и анализ неисправностей, внутрисхемное программирование и прожиг флэшей, интерфейс тест-оператора, графическое отображение диагностики JTAG-теста OFS, русскоязычная версия тестовой операционной оболочки JTAG-менеджер).
11. Экспертный анализ тестопригодности принципиальных схем участников семинара, отладка JTAG тест-программ для плат участников семинара, обсуждение результатов.

Лекции семинара будут сопровождаться демонстрацией цветных анимированных слайдов в PowerPoint, цветную распечатку которых каждый участник получит перед началом семинара. Сборник будет также содержать учебные материалы и детальную информацию о системе JTAG-тестирования onTAP фирмы Flynn Systems.

Информация о лекторе

Двухдневный семинар и мастер-класс на русском языке проведет адъюнкт-профессор Еврейского университета в Иерусалиме, преподаватель Колледжа высоких технологий в Герцлии, технический директор компании JTAG.ТЕСТ (www.JTAG-Test.ru), автор колонки «JTAG-тестирование и тестопригодное проектирование» журнала «Компоненты и Технологии» д-р **Ами Городецкий**.

Для участия в семинаре и мастер-классе заполните, пожалуйста, заявку (ее можно скачать на нашем сайте по ссылке <http://www.eltm.ru/news/index.html/nid/23>) и пришлите ее организаторам семинара по электронной почте compitech@finestreet.ru или по факсу +7 (812) 346-06-65

При участии двух человек и более от одного предприятия – скидка **10%**.